

Implementación de un coprocesador para visión estéreo rectificadas en tiempo real en un FPGA

Motivación

Con el desarrollo creciente de cámaras y displays digitales, la industria de la fotografía computacional también ha ido en aumento. En particular, la fotografía y la televisión tridimensional se comienzan a abrir paso en el desarrollo de aplicaciones que van desde el entretenimiento hasta la investigación y, notablemente, la robótica, la medicina y la inspección industrial, destacan entre las áreas de desarrollo tecnológico en materia de visión estéreo. Una de las tareas más importantes y complejas en la visión estéreo es el cálculo de la disparidad entre dos imágenes previamente rectificadas, y aunque existen ya una gran cantidad de metodologías que resuelven parcialmente el problema, existen todavía dos grandes limitantes: (1) el cálculo de la disparidad en tiempo real y (2) su robustez a cambios no lineales de intensidad entre las dos cámaras del par estéreo. Diversas comparaciones convergen en que variantes de descriptores binarios mejoran la robustez a los cambios de iluminación respecto a las métricas clásicas pese a su costo computacional, pero que puede ser paralelizable.

Objetivo general

En la presente propuesta se busca resolver los problemas presentados mediante una implementación en FPGA de un sistema de cálculo de disparidad para imágenes estéreo rectificadas.

Metodología

- Realizar una revisión bibliográfica sobre los métodos de correspondencia estéreo en el estado del arte.
- Realizar un análisis de las métricas de correspondencia para el cálculo de disparidad sobre la robustez a los cambios de iluminación.
- Realizar un análisis sobre la posible paralelización de los métodos elegidos.
- Diseñar e implementar un método de cálculo de disparidad en VHDL de acuerdo a los puntos anteriores.
- Realizar comparaciones en eficiencia y robustez utilizando bases de datos de referencia.
- Reportar los resultados en el documento de tesis.

[Banz'10] C. Banz, S. Hesselbarth, H. Flatt, H. Blume, and P. Pirsch. *Real-Time Stereo Vision System using Semi-Global Matching Disparity Estimation: Architecture and FPGA-Implementation*. In Embedded Computer Systems (SAMOS), 2010 International Conference on, pp. 93-101. IEEE, 2010.

[Vigilar'12] M. Vigliar, M. Fratello, L. Puglia, G. Raiconi. *SASC: A hardware string alignment coprocessor for stereo correspondence*. In *Electronics Design, Systems and Applications (ICEDSA)*, 2012 IEEE International Conference on, pp. 56-62. IEEE, 2012.

Asesores: Flavio Viguera y José Luis Tecpanecat

Materias a cursar: **Procesamiento Digital de Imágenes , Procesamiento de Señales en Tiempo Real**